

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

J A P A N   P A T E N T   O F F I C E

35  
#6  
6-7-02  
J1059 U.S. PTO  
10/013087  
12/07/01

This is to certify that the annexed is a true copy of following application  
as filed with this Office.

Date of Application:                      December 12, 2000

Application Number:                      P2000-377379

Applicant(s):                              Sanken Electric Co., Ltd.

November 2, 2001

Commissioner,  
Japan Patent Office

Kouzou OIKAWA

Number of Certification: 2001-3097420

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1059 U.S. PTO  
10/013087  
12/07/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月12日

出 願 番 号

Application Number:

特願2000-377379

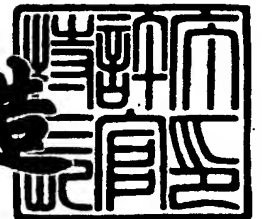
出 願 人  
Applicant(s):

サンケン電気株式会社

2001年11月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3097420

【書類名】 特許願

【整理番号】 SNK-66

【提出日】 平成12年12月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/461

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 9

【発明者】

【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社  
社内

【氏名】 安藤 秀幸

【特許出願人】

【識別番号】 000106276

【氏名又は名称】 サンケン電気株式会社

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100087365

【弁理士】

【氏名又は名称】 栗原 彰

【選任した代理人】

【識別番号】 100079946

【弁理士】

【氏名又は名称】 横屋 赳夫

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 3 7 7 3 7 9

【包括委任状番号】 9803324

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 端面及び該第 1 端面に対向した第 2 端面、更に前記第 1 及び第 2 端面を接続する外周面を有した第 1 導電型の第 1 半導体領域と、

前記第 1 端面において前記第 1 半導体領域に接合した前記第 1 導電型の第 2 半導体領域と、

前記第 2 端面において前記第 1 半導体領域に接合した前記第 1 導電型とは反対導電型となる第 2 導電型の第 3 半導体領域と、

前記第 1 半導体領域の外周面に接合した内周面を有し、且つ前記第 2 半導体領域及び第 3 半導体領域に挟まれた、前記第 1 半導体領域よりも低不純物密度で第 1 導電型の第 4 半導体領域

とからなることを特徴とする半導体装置。

【請求項 2】 前記第 4 半導体領域の外周面が、前記半導体装置のチップ外周面として機能し、該チップ外周面が前記第 1 半導体領域の第 1 端面に対して、実質的に垂直であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 4 半導体領域は、バルク結晶から切り出したウェハからなる半導体基板であることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記第 2 半導体領域の底面には第 1 主電極層が、前記第 3 半導体領域の表面には第 2 主電極層が、形成されていることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記第 2 半導体領域の底面には凹部が形成され、該凹部を介して前記第 1 主電極層が、前記第 2 半導体領域とオーミック接触するように接合されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記第 3 半導体領域の表面には凹部が形成され、該凹部を介して前記第 2 主電極層が、前記第 3 半導体領域とオーミック接触するように接合されていることを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 7】 前記凹部は前記第 2 半導体領域を貫通し前記第 1 半導体領域 m で到達し、前記第 1 主電極層は前記第 1 端面とオーミック接触するように接合

されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 第 1 導電型の半導体基板の一方の主面から第 1 導電型の不純物元素を所定深さまで選択的に導入して第 1 半導体領域を形成する工程と、

前記半導体基板の他方の主面全体から前記第 1 導電型の不純物元素を導入して前記第 1 半導体領域に接合する第 2 半導体領域を形成する工程と、

前記半導体基板の前記一方の主面全体から前記第 1 導電型とは反対導電型となる第 2 導電型の不純物元素を導入し第 3 半導体領域を形成し、前記第 1 半導体領域とで p n 接合を形成する工程

とからなることを特徴とする半導体装置の製造方法。

【請求項 9】 前記半導体基板を、前記 p n 接合界面に対して実質的に直角をなす面で切断することにより複数の半導体チップを切り出し、該複数の半導体チップのそれぞれにより複数の半導体装置を実現する工程を更に有することを特徴とする請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばダイオードなどの半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来、図 1 2 に示すような定電圧ダイオード（半導体ダイオード）1 が知られている。この半導体ダイオード 1 は、例えばシリコン基板に、順次、高不純物密度の n 型半導体層 2 と、n 型半導体層 3 と、高不純物密度の p 型半導体層 4 とが接合するように形成された単純 3 層構造を有している。又、n 型半導体層 2 の表面と p 型半導体層 4 の表面には、それぞれ電極を構成する金属被膜 5、6 が形成されている。

【0003】

通常、このような接合構造を有する半導体ダイオードでは、逆方向電圧を印加された p n 接合の空乏層には強い電界が存在するが、p n 接合の終端部が露呈するチップ側面では表面に付着した不純物元素やイオンなどの影響を受けて局所的



に電界が一層強まって降伏（ブレイクダウン）が起こり易くなっている。このため、半導体ダイオードでは、理論的に期待される逆耐圧を得ることが困難となることが多い。そこで、チップ側面での電界を緩和するため、図 1 2 に示す半導体ダイオード 1 のように、p n 接合の終端部が露呈するチップ側面 7 を、p n 接合面 9 に対して適切な角度だけ斜めに加工して電界が緩和されるようにした、ベベル構造が採用されている。このようなベベル構造を採用することにより、チップ側面 7 での電界が緩和され、降伏が半導体内部の接合全面で起こるようにして、降伏電圧の設定の安定化を図っている。なお、ツェナーダイオード等の定電圧ダイオードよりも高耐圧の半導体デバイスにおいても、ベベル構造を採用することにより、耐圧を向上できることは周知の通りである。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかしながら、図 1 2 に示した半導体ダイオード 1 では、以下に説明するような問題点がある。

【 0 0 0 5 】

(1) 図 1 2 に示した半導体ダイオード 1 では、製品組立（アセンブル）工程において、チップ側面 7 を外部環境から保護するために酸又はアルカリ系薬液による湿式洗浄を施した後、図 1 2 に示すようにチップ側面 7 を絶縁膜 8 で被覆している。しかし、このようにして製造された半導体ダイオード 1 では、製品評価試験の結果、製品の特性や品質が安定していない点が指摘されている。このように特性などが安定しない理由としては、湿式洗浄又は絶縁膜 8 の被覆による影響によりチップ側面 7 に表面破損が引き起こされていることが挙げられる。

【 0 0 0 6 】

(2) 図 1 2 に示した半導体ダイオード 1 では、n 型半導体層 3 と p 型半導体層 4 との p n 接合部 9 が片側階段接合を構成していると仮定すれば、n 型半導体層 3 の不純物密度により耐圧が決定されるが、この耐圧を決定するために、製造に使用する半導体（シリコン）ウェハの比抵抗  $\rho$  を高精度に制御する必要があった。このため、半導体ウェハにコストがかかるという問題点があった。因に、従来ではシリコンウェハの比抵抗  $\rho$  が  $0.01 \sim 0.03 \Omega \cdot \text{cm}$ （n 型のシリコ

ンでは、不純物密度  $5 \times 10^{18} / \text{cm}^3 \sim 7 \times 10^{17} / \text{cm}^3$  程度の範囲に相当) の狭い範囲のものを n 型半導体層 3 として用いている。

【0007】

(3) 図 12 に示した半導体ダイオード 1 の製造に際しては、チップ側面 7 が p n 接合面に対して斜めに形成されたベベル構造を有しているため、ベベル構造を実現するためのサンドブラスト、或いは研削、研磨、エッチング等の工程が加わるため、製造工程数が多くなるという問題点がある。

【0008】

(4) 図 12 に示した半導体ダイオード 1 では、半導体ウェハから切断されたチップは袋詰め状態になり、加えてチップ側面がチップ表裏面に対して斜めに傾いているため、製品組立（アセンブル）工程において、コレット等の治具へチップを装着するのに手間がかかるものであった。

【0009】

本発明は上記課題を解決するためになされたものである。そこで、本発明の目的は、p n 接合が露呈するチップ側面で局所的な降伏が発生するのを防止して、安定した所望の降伏電圧を有する半導体装置を提供することを目的としている。

【0010】

本発明の他の目的は、使用する半導体ウェハの比抵抗  $\rho$  の範囲を広げることが出来、半導体ウェハにかかるコストを低減することのできる半導体装置及びその製造方法を提供することを目的としている。

【0011】

本発明の更に他の目的は、チップ表面処理を簡略化又は省略することが出来る半導体装置の製造方法を提供することにある。

【0012】

本発明の更に他の目的は、製造工程を簡略化できる半導体装置及びその製造方法を提供することにある。

【0013】

本発明の更に他の目的は、製品組付工程において、コレット等の治具へのチップ装着性、並びに取扱性の良好な半導体装置を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を鑑み本発明の第1の特徴は、(イ)第1端面及びこの第1端面に対向した第2端面、更に第1及び第2端面を接続する外周面を有した第1導電型の第1半導体領域と、(ロ)第1端面において第1半導体領域に接合した第1導電型の第2半導体領域と、(ハ)第2端面において第1半導体領域に接合した第2導電型の第3半導体領域と、(ニ)第1半導体領域の外周面に接合した内周面を有し、且つ第2半導体領域及び第3半導体領域に挟まれた、第1半導体領域よりも低不純物密度で第1導電型の第4半導体領域とからなる半導体装置としたことである。即ち、pn接合面の周縁部分に比較的不純物密度の低い第1導電型の第4半導体領域を配置し、この第4半導体領域に囲まれた略中央部分において、高不純物密度の第1導電型の第1半導体領域と、第2導電型の第3半導体領域とがpn接合を形成するようにしている。そして、第1導電型の第1半導体領域は、互いに離間する、第1導電型の第2半導体領域と第2導電型の第3半導体領域との間に介在される配置となる。ここで、第1導電型と第2導電型とは互いに反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。例えば、第1及び第2半導体領域を、n型不純物元素が高不純物密度に導入された半導体領域とし、第3半導体領域をp型不純物元素が高不純物密度に導入された半導体領域とし、第4半導体領域をn型不純物元素が比較的低不純物密度に導入された半導体領域とすれば良い。或いは導電型を全部、この逆にしても良い。

【0015】

本発明の第1の特徴に係る半導体装置では、第3半導体領域に対して、高不純物密度の第1半導体領域と、比較的低不純物密度の第4半導体領域とがともに接合している。そして、半導体装置の周縁側に位置する第4半導体領域と第3半導体領域とのpn接合よりも、中央部の第1半導体領域と第3半導体領域とのpn接合の方が降伏を起こし易くなる。このため、半導体装置の側面(チップ側面)での電界が緩和される。この結果、降伏が半導体装置内部の接合部分で起こるので、降伏電圧の設定の安定化を図ることが出来る。このように降伏電圧の安定化

を図ることは、例えば定電圧ダイオードよりも高耐圧の電力用半導体装置においても有効となる。

## 【 0 0 1 6 】

本発明の第 1 の特徴において、第 4 半導体領域の外周面が、半導体装置のチップ外周面として機能し、このチップ外周面が第 1 半導体領域の第 1 端面に対して、実質的に垂直であることが好ましい。上記したように、チップの周縁部分（チップ外周面）に露出した p n 接合の降伏は、チップ外周面のパッシベーション技術に依存し、チップの周縁部分での降伏電圧の「ばらつき」は大きい。しかし、本発明の第 1 の特徴に係る半導体装置では、チップ外周面よりも、中央部分で先に電界降伏が起こるため、半導体装置（チップ）の周縁部分が多少の表面破損を起こしても、半導体装置としての降伏電圧の変動が起こりにくく出来る。したがって、製品のばらつきが少なくなり、製造歩留まりが向上する。

## 【 0 0 1 7 】

更に、チップ外周面が第 1 半導体領域の第 1 端面に対して、実質的に垂直としているので、半導体装置の側面を通常の切断工程（ダイシング工程）で形成することが出来る。「実質的に垂直」とは、通常の切断工程（ダイシング工程）で発生する角度のばらつきの範囲内の意であり、意図的にベベリングをしていないという意味である。例えば  $80^{\circ} \sim 100^{\circ}$  程度であれば、実質的に垂直（ $=90^{\circ}$ ）とみなすことが出来る。好ましくは  $87^{\circ} \sim 93^{\circ}$  程度にすれば良い。チップ外周面が実質的に垂直であれば、コレット等の治具による組立（アセンブル）工程時の、半導体装置（チップ）の取扱性を向上にすることが出来る。

## 【 0 0 1 8 】

又、本発明の第 1 の特徴において、第 4 半導体領域は、バルク結晶から切り出したウェハからなる半導体基板であることが好ましい。定電圧ダイオードでは、降伏電圧を第 1 半導体領域の不純物密度を調整することにより決定できるので、第 4 半導体領域は、バルク結晶から切り出した市販の半導体基板（半導体ウェハ）の本来の（購入時の仕様のまま）不純物密度のままで用いることが出来る。即ち、ウェハからなる半導体基板の不純物密度の設計や管理を厳密に設定する必要がなくなる。このため、使用する半導体基板（ウェハ）の選択範囲が広がり、低

コスト化が可能となる。

【0019】

本発明の第1の特徴において、第2半導体領域の底面には第1主電極層が、第3半導体領域の表面には第2主電極層が、形成されていることが好ましい。第1主電極層と第2主電極層とで、半導体素子の主電流の通路となる動作領域（本体部分）が形成される。「第1主電極層」とは、半導体ダイオードやサイリスタにおいてアノード電極層又はカソード電極層のいずれか一方を意味する。サイリスタには、GTOサイリスタや静電誘導サイリスタ（SIサイリスタ）を含むことが可能である。第2半導体領域がn型ならば、第1主電極層は、カソード電極層である。「第2主電極層」とは、半導体ダイオードやサイリスタにおいて上記第1主電極層とはならないカソード電極層又はアノード電極層のいずれか一方を意味する。第3半導体領域がp型ならば、第2主電極層は、アノード電極層である。この結果、第2半導体領域は、第1主電極層に対応した「第1主電極領域」として機能し、第3半導体領域は、第2主電極層に対応した「第2主電極領域」として機能する。

【0020】

更に、「第1主電極層」とは、バイポーラトランジスタやIGBTにおいては、エミッタ電極層又はコレクタ電極層のいずれか一方でも良い。バイポーラトランジスタにはヘテロ接合バイポーラトランジスタ（HBT）等のマイクロ波帯、ミリ波帯或いはサブミリ波帯で動作する超高周波用トランジスタも含まれる。更に、本発明はMOSFET、MOSSIT、或いは高電子移動度トランジスタ（HEMT）等のIGFETにも適用可能である。このIGFETにおいては、「第1主電極層」とは、ソース電極層又はドレイン電極層のいずれか一方を意味する。そして、「第2主電極層」とは、バイポーラトランジスタやIGBTにおいては上記第1主電極層とはならないエミッタ電極層又はコレクタ電極層のいずれか一方、IGFETにおいては上記第1主電極層とはならないソース電極層又はドレイン電極層のいずれか一方を意味する。なお、バイポーラトランジスタ、IGBT及びIGFET等においては、ベース電極層若しくはゲート電極層等の制御電極層が更に加わることは勿論である。

## 【0021】

本発明の第2の特徴は、(イ)第1導電型の半導体基板の一方の主面から第1導電型の不純物元素を所定深さまで選択的に導入して第1半導体領域を形成する工程と、(ロ)半導体基板の他方の主面全体から第1導電型の不純物元素を導入して第1半導体領域に接合する第2半導体領域を形成する工程と、(ハ)半導体基板の一方の主面全体から第1導電型とは反対導電型となる第2導電型の不純物元素を導入し第3半導体領域を形成し、第1半導体領域とでpn接合を形成する工程とからなる半導体装置の製造方法としたことである。

## 【0022】

本発明の第2の特徴に係る半導体装置の製造方法によれば、半導体基板の一方の主面から第1導電型の不純物元素を選択的に導入することにより、半導体基板の内部に第1半導体領域を形成することが出来る。この第1半導体領域は、第1半導体領域を取り囲む半導体基板の不純物密度より高不純物密度に形成される。ここで、第1半導体領域を取り囲む半導体基板は、第1の特徴で述べた「第4半導体領域」として機能する。即ち、第1の特徴で述べたように、第1半導体領域が、第1半導体領域を取り囲む第4半導体領域より高不純物密度に形成される。このため、第1半導体領域の形成後に、半導体基板の一方の主面から全面に第2導電型の不純物元素を導入して形成された第3半導体領域と第1半導体領域との中央部におけるpn接合が、第4半導体領域(半導体基板)と第3半導体領域とでなる周辺部におけるpn接合よりも、先に降伏を起こすことが出来る。このため、半導体装置の側面(チップ側面)での電界を緩和し、降伏が半導体装置内部の接合部分で起こるようにして、降伏電圧の設定の安定化を図ることが出来る。又、第1半導体領域の不純物密度を調整することにより、半導体基板の本来の不純物密度のままで用いることが出来るため、半導体基板の不純物密度を厳密に設定する必要がなくなり、使用する半導体基板の選択範囲を広げることが出来る。

## 【0023】

本発明の第2の特徴においては、半導体基板を、pn接合界面に対して実質的に直角をなす面で切断することにより複数の半導体チップを切り出し、この複数の半導体チップのそれぞれにより複数の半導体装置を実現する工程を更に有する

ことが好ましい。この場合、半導体基板のいずれかの主面側に合成樹脂シートを貼着して合成樹脂シートを切断しないようにチップを切断することにより、各チップが合成樹脂シートに貼り付けられた状態で保管、搬送することが出来る。このため、製品組込を行う際に、合成樹脂シートに貼り付けられたチップ状態の半導体装置を例えばコレット等の治具に装着する際も容易に取り扱うことが出来る。

## 【 0 0 2 4 】

## 【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態に係る半導体装置及びその製造方法について説明する。ただし、図面は模式的なものであり、各層の厚みやその比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

## 【 0 0 2 5 】

## (半導体装置)

図 1 は、本発明の実施の形態に係る半導体装置としての定電圧ダイオード 1 0 の断面図である。この半導体ダイオード 1 0 は、第 1 端面及びこの第 1 端面に対向した第 2 端面、更に第 1 及び第 2 端面を接続する外周面を有した第 1 導電型の第 1 半導体領域 1 4 と、第 1 端面において第 1 半導体領域 1 4 に接合した第 2 半導体領域 1 2 と、第 2 端面において第 1 半導体領域 1 4 に接合した第 3 半導体領域 1 3 と、第 1 半導体領域 1 4 の外周面に接合した内周面を有し、且つ第 2 半導体領域 1 2 及び第 3 半導体領域 1 3 に挟まれた第 4 半導体領域 1 5 とから構成されている。更に、図 1 に示すように、第 2 半導体領域 1 2 の底面には第 1 主電極層 1 6 が、第 3 半導体領域 1 3 の表面には第 2 主電極層 1 7 が、形成されている。

## 【 0 0 2 6 】

第 1 半導体領域 1 4、第 2 半導体領域 1 2 及び第 4 半導体領域 1 5 は、第 1 導電型を有する。本発明の実施の形態では、第 1 導電型は、例えば、図 1 に示すように n 型である。第 3 半導体領域 1 3 は、第 1 導電型とは反対導電型となる第 2

導電型である。本発明の実施の形態では、例えば p 型である。このため、n 型の第 1 半導体領域 1 4 と p 型の第 3 半導体領域 1 3 の間に p n 接合面 1 8 が形成されている。4 半導体領域 1 5 は第 1 半導体領域 1 4 よりも低不純物密度である。

## 【 0 0 2 7 】

第 1 主電極層 1 6 と第 2 主電極層 1 7 とで、半導体素子の主電流の通路となる動作領域が定義される。「第 1 主電極層 1 6」とは、半導体ダイオード 1 0 においてアノード電極層又はカソード電極層のいずれか一方を意味する。図 1 のように、第 2 半導体領域 1 2 が n 型ならば、第 1 主電極層 1 6 は、カソード電極層である。同様に、「第 2 主電極層 1 7」とは、半導体ダイオード 1 0 において上記第 1 主電極層 1 6 とはならないカソード電極層又はアノード電極層のいずれか一方を意味する。図 1 では、第 3 半導体領域 1 3 が p 型なので、第 2 主電極層 1 7 はアノード電極層である。この結果、第 2 半導体領域 1 2 は、第 1 主電極層 1 6 に対応した「第 1 主電極領域」として機能し、第 3 半導体領域 1 3 は、第 2 主電極層 1 7 に対応した「第 2 主電極領域」として機能する。図 1 では、第 2 半導体領域 1 2 は、カソード領域として機能し、第 3 半導体領域 1 3 は、アノード領域としてそれぞれ機能する。そして、図 1 の構造では、第 1 主電極層 1 6 と第 2 主電極層 1 7 との間に流れる主電流は抵抗の低い第 1 半導体領域 1 4 をその通路とする。

## 【 0 0 2 8 】

図 1 に示すように、本発明の実施の形態に係る半導体装置（定電圧ダイオード）1 0 は、第 4 半導体領域 1 5 の外周面が、半導体装置 1 0 のチップ外周面として機能し、このチップ外周面（チップ側面）1 9 が第 1 半導体領域 1 4 の第 1 端面に対して、実質的に垂直である。このチップ側面 1 9 には、p n 接合面 1 8 の終端部が露呈している。

## 【 0 0 2 9 】

第 4 半導体領域 1 5 は、F Z 法、C Z 法、M C Z 法等のバルク結晶から切り出したシリコンウェハからなる半導体基板（シリコン基板）1 1 である。言い換えれば、シリコン基板 1 1 の一方の主面側に p 型の第 3 半導体領域 1 3 が、他方の主面側に n 型の第 2 半導体領域 1 2 が形成されている。そして、これら第 2 半導



体領域 1 2 及び第 3 半導体領域 1 3 の間の領域の中央に n 型の第 1 半導体領域 1 4 が形成されている。更に、第 2 半導体領域 1 2 及び第 3 半導体領域 1 3 の間において、第 1 半導体領域 1 4 の周囲に型の第 4 半導体領域 1 5 が形成されている。

#### 【0030】

第 2 半導体領域 1 2 は、シリコン基板 1 1 の他方の主面側から、第 1 導電型（n 型）の不純物元素として、例えばリン（P）、ヒ素（As）などが高不純物密度（例えば  $2 \times 10^{19} / \text{cm}^3$  程度）にドーピングされて形成されている。又、第 3 半導体領域 1 3 は、シリコン基板 1 1 の一方の主面側から、第 2 導電型（p 型）の不純物元素として、例えばボロン（B）などが高不純物密度にドーピングされ形成されている。同様に、第 1 半導体領域 1 4 には、例えばリン（P）、ヒ素（As）などの第 1 導電型純物元素（ドナー）が高不純物密度にドーピングされている。そして、この第 1 半導体領域 1 4 の周囲を取り囲むように形成された n 型の第 4 半導体領域 1 5 は、シリコン基板 1 1 に固有の低不純物密度に設定されている。「シリコン基板 1 1 に固有の」とは、市販のシリコンウェハの購入時の不純物密度仕様を維持してまま、或いは、バルク結晶から切り出したシリコンウェハの初期の不純物密度仕様を維持してという意味である。この結果、n 型の第 1 半導体領域 1 4 は、それを取り囲む n 型の第 4 半導体領域 1 5 の不純物密度より高不純物密度に設定されている。

#### 【0031】

本発明の実施の形態に係る半導体ダイオード 1 0 においては、p 型の第 3 半導体領域 1 3 が p n 接合面 1 8 に沿う方向に均一な不純物密度になっている。しかし、上記したように、この p 型の第 3 半導体領域 1 3 に接合する n 型の第 1 半導体領域 1 4 は、この n 型の第 1 半導体領域 1 4 を取り囲む n 型の第 4 半導体領域 1 5 より不純物密度が高く設定されている。このため、p n 接合に逆方向電圧を印加したときに、p n 接合での降伏を p 型の第 3 半導体領域 1 3 と n 型の第 1 半導体領域 1 4 との接合領域（内部領域）のみで先に起こさせることが出来る。即ち、この実施の形態では、外部に p n 接合面が露出する部分があっても、p n 接合の降伏は内部領域で発生して、外部露出部分の p n 接合には表面電界強度の負担がかからないようになっている。

## 【0032】

この結果、本発明の実施の形態に係る半導体ダイオード10では、チップ側面19を外部環境から保護する目的で行う、酸又はアルカリ系薬液による湿式洗浄などの表面処理や絶縁膜による被覆処理を削減することが可能となる。又、チップ側面19では、多少の表面破損が生じることを許容することが出来るため、チップの取扱性が容易となる。

## 【0033】

又、本発明の実施の形態に係る半導体ダイオード10では、中央のn型の第1半導体領域14とp型の第3半導体領域13とのpn接合の耐圧は、n型の第1半導体領域14の条件（不純物密度）により決定される。p型の第3半導体領域13とn型の第1半導体領域14とのpn接合面18が片側階段接合を構成していると仮定すれば、雪崩（アバランシェ）降伏による耐圧 $V_B$ は、

$$V_B = \epsilon_s E_m^2 / (2 q N_B) \dots\dots (1)$$

で与えられる。ここで、 $\epsilon_s$ は半導体基板の比誘電率、 $E_m$ は半導体基板に固有の雪崩降伏が開始される電界強度（最大電界強度）、 $q$ は電子の素電荷量、 $N_B$ は第1半導体領域14の不純物密度である。即ち、第1半導体領域14の不純物密度 $N_B$ が、シリコンウェハの不純物密度、即ち、第4半導体領域15の不純物密度より十分に高ければ、半導体ダイオード10の耐圧は第1半導体領域14の不純物密度 $N_B$ にのみ依存し、製造に用いる母材（シリコンウェハ）の不純物密度には依存しない。このため、第1半導体領域14の不純物密度 $N_B$ を式（1）にしたがい適宜設計し、この不純物密度 $N_B$ を管理すれば、所望の耐圧が得られるので、シリコンウェハの比抵抗（抵抗率） $\rho$ を高精度に制御する必要はない。したがって、第1半導体領域14の不純物密度 $N_B$ より比較的高抵抗の基板であれば、任意の市販のシリコンウェハを利用して、所望の耐圧を有した定電圧ダイオード10の製造を行うことが出来る。

## 【0034】

因に、本発明の実施の形態に係る半導体ダイオード（定電圧ダイオード）10では、シリコンウェハとしては、比抵抗 $\rho$ が $1 \sim 250 \Omega \cdot \text{cm}$ （n型のシリコンでは、不純物密度 $5.5 \times 10^{15} / \text{cm}^3 \sim 1.8 \times 10^{13} / \text{cm}^3$ 程度の範囲

に相当)の広い範囲のものをを用いることが可能となる。更に、高耐圧の電力用半導体装置であれば、比抵抗 $\rho$ が $1000\Omega\cdot\text{cm}$ 以上(n型のシリコンでは、不純物密度 $5\times 10^{12}/\text{cm}^3$ 程度以下の範囲に相当)の広い範囲のもの等を用いれば良い。

## 【0035】

更に、本発明の実施の形態に係る半導体ダイオード10では、シリコンウェハから切断されたチップのチップ側面19が表裏の主面やpn接合面18に対して略垂直をなすため、略直方体形状又は円柱形状など(好ましくは直方体形状)に形成でき、チップの取扱性が向上し、例えば、製品組立(アセンブル)工程において、コレット等の治具へチップを装着する手間を軽減することが出来る。

## 【0036】

(半導体装置の製造方法)

次に、図1に示した半導体ダイオード10を製造する方法について、図2～図9の工程断面図(その1～8)を用いて説明する。

## 【0037】

(イ) まず、図2に示すように、第1導電型(n型)のシリコン基板(シリコンウェハ)11を用意する。そして、このシリコン基板11の一方の主面11Aに、熱酸化を行って厚さ $300\text{nm}\sim 1.5\mu\text{m}$ の酸化膜21を形成する。その後、フォトリソグラフィ技術を用いて、酸化膜21を加工する。即ち、図2に示すように、酸化膜21の上に、例えばネガ型のフォトレジスト22をスピンコーティングなどによって塗布する。次いで、図2に示すように、後述する開口部22Aを形成、加工する部分を覆うような(上記したn型の第1半導体領域14を形成するための)パターンを有するフォトマスク23を配置して、露光光を照射する。

## 【0038】

(ロ) 図3は、フォトレジスト22を露光後、現像した状態を示す。フォトレジスト22の開口部22Aに露出する酸化膜21が露出している。このようにパターンニングされたフォトレジスト22をマスクとして、ウェットエッチング又はドライエッチングを行って、酸化膜21をエッチングしてシリコン基板11の表

面の一部を露出させる。その後、フォトレジスト 2 2 を剥離すると、図 4 に示すような状態となる。図 4 に示すように酸化膜 2 1 に、開口部 2 1 A が形成される。

#### 【 0 0 3 9 】

(ハ) 次に、酸化膜 2 1 の開口部 2 1 A で窓明されたシリコン基板 1 1 上へ、n 型不純物元素であるリン (P) やヒ素 (As) などを含む図示しない不純物添加薄膜 (例えば不純物元素が所定濃度でドーパされたリンガラス (PSG) 膜やヒ素ガラス (AsSG) 膜等) を堆積させ、所定温度、所定時間での熱処理を施して選択拡散を行い、高不純物密度で n 型の第 1 半導体領域 1 4 を形成する。その後、不純物添加薄膜をウェットエッチング又はドライエッチングにて除去して図 5 に示す状態にする。不純物添加薄膜を用いずに、オキシ塩化リン ( $\text{POCl}_3$ ) 等の液体ソースを用いた気相拡散法でも良い。又  $^{31}\text{P}^+$ ,  $^{75}\text{As}^+$  等の不純物イオンをイオン注入法により、 $3 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{16} \text{ cm}^{-2}$  等の所定のドーズ量を注入し、その後所望の深さまでドライブイン (熱処理) しても良い。

#### 【 0 0 4 0 】

(ニ) 続いて、図 6 に示すように、シリコン基板 1 1 の他方の主面 1 1 B に、ドナー不純物元素を全面拡散して高不純物密度 (例えば、 $2 \times 10^{19} / \text{cm}^3$  程度) で n 型の第 2 半導体領域 1 2 を形成する。この n 型の第 2 半導体領域 1 2 の深さは、シリコン基板 1 1 の一方の主面側から選択拡散により形成された n 型の第 1 半導体領域 1 4 と所定の接合面積を有するような深さ寸法に制御する。n 型の第 2 半導体領域 1 2 の全面拡散は、不純物添加薄膜を用いても良く、気相拡散法やイオン注入法でもかまわない。

#### 【 0 0 4 1 】

(ホ) 次に、図 7 に示すように、シリコン基板 1 1 の一方の主面 1 1 A に形成されている酸化膜 2 1 を、例えばウェットエッチングにより除去する。更に、酸化膜 2 1 を除去した面から、例えばボロン (B) などのアクセプタ不純物を全面拡散法により拡散させて高不純物密度で p 型の第 3 半導体領域 1 3 を形成する。アクセプタ不純物の全面拡散は、ボロンガラス (BSG) 膜等の不純物添加薄膜

を用いる方法でも、窒化ボロン (BN) 等の固体ソース、三臭化硼素 ( $\text{BBr}_3$ ) 等の液体ソースを用いた気相拡散法でも良い。又  $^{11}\text{B}^+$ ,  $^{49}\text{BF}_2^+$  等の不純物イオンをイオン注入法により、 $3 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{16} \text{ cm}^{-2}$  等の所定のドーズ量を注入し、その後所望の深さまでドライブイン (熱処理) しても良い。この結果、シリコン基板 11 の他方の主面 11B 側に形成された n 型の第 2 半導体領域 12 と中央の n 型の第 1 半導体領域 14 とが接合し、シリコン基板 11 の一方の主面側に形成された p 型の第 3 半導体領域 13 と中央の n 型の第 1 半導体領域 14 とが pn 接合を形成する。又、中央の n 型の第 1 半導体領域 14 は、シリコン基板 11 の本来の不純物密度を有する n 型の第 4 半導体領域 15 で囲まれた構造となる。そして、この n 型の第 4 半導体領域 15 は、シリコン基板 11 の他方の主面 11B 側に形成された n 型の第 2 半導体領域 12 と接合すると共に、シリコン基板 11 の一方の主面 11A 側に形成された p 型の第 3 半導体領域 13 とともに接合を形成している。

## 【 0 0 4 2 】

(ヘ) 更に、図 8 に示すように、n 型の第 2 半導体領域 12 の表面と p 型の第 3 半導体領域 13 の表面には、真空蒸着法やスパッタリング法等により金属薄膜を堆積させて、厚さ  $1 \mu\text{m} \sim 10 \mu\text{m}$  程度の電極層 16、17 を形成する。

## 【 0 0 4 3 】

(ト) その後、図 9 に示すように、シリコン基板 11 の他方の主面側に全体に亘って合成樹脂シート 24 を貼り付け、図 9 に一点鎖線で示すダイシングライン 25 に沿って切断を行う。合成樹脂シート 24 は、具体的には、ポリエチレンフィルム、ポリプロピレンフィルム、ポリ塩化ビニルフィルム、ポリエチレンテレフタレートフィルム、ポリブチレンテレフタレートフィルム、ポリブテンフィルム、ポリブタジエンフィルム、ポリウレタンフィルム、ポリメチルペンテンフィルム、エチレン-酢酸ビニル共重合体フィルム、エチレン-(メタ)アクリル酸共重合体フィルム、エチレン-(メタ)アクリル酸メチル共重合体フィルム、エチレン-(メタ)アクリル酸エチル共重合体フィルム等が用いられる。又、合成樹脂シート 24 は、これらの積層フィルムであっても良い。合成樹脂シート 24 の膜厚は、通常は  $10 \sim 300 \mu\text{m}$  程度であり、好ましくは  $50 \sim 200 \mu\text{m}$  程

度である。この切断工程によって形成されたチップは、図 1 に示した半導体ダイオード 1 0 として用いることが出来る。なお、切断工程の後には、チップ状態の半導体ダイオード 1 0 を合成樹脂シート 2 4 に貼り付けられた状態で保管、搬送することが出来る。このため、製品組込を行う際に、合成樹脂シート 2 4 に貼り付けられた半導体ダイオード 1 0 を例えばコレット等の治具に装着する際にも容易に取り扱うことが出来る。

## 【 0 0 4 4 】

本発明の実施の形態に係る半導体装置の製造方法によれば、図 1 に示すように、半導体ダイオード 1 0 のチップ側面 1 9 が p n 接合面に対して垂直であるため、ダイシング工程による切断によりチップ側面 1 9 を形成することが出来る。このため、従来のようなベベル構造を形成するための様々な加工工程を行う必要がなく、製造工程数を大幅に少なくすることが可能となる。

## 【 0 0 4 5 】

## (半導体装置の変形例 1)

ここで、図 1 に示した半導体ダイオード 1 0 に、新たな電極層構造を適用した場合について、図 1 0 に、「変形例 1」として説明する。なお、図 1 0 に示す半導体ダイオード 1 0 において、図 1 に示した半導体ダイオード 1 0 と同一機能を果たす部分には、同一の符号を付して説明を省略する。

## 【 0 0 4 6 】

図 1 0 に示す半導体ダイオード 1 0 の第 2 半導体領域 1 2 の底面には凹部 1 2 A が形成され、この凹部 1 2 A を介して第 1 主電極層 1 6 A が、第 2 半導体領域 1 2 とオーミック接触するように接合されている。更に、第 3 半導体領域 1 3 の表面には凹部 1 3 A が形成され、この凹部 1 3 A を介して第 2 主電極層 1 7 A が、第 3 半導体領域 1 3 とオーミック接触するように接合されている。第 1 主電極層 1 6 A と第 2 主電極層 1 7 A とで、半導体素子の主電流の通路となる動作領域が定義される。図 1 0 のように、第 2 半導体領域 1 2 が n 型ならば、第 1 主電極層 1 6 A は、カソード電極層であり、第 3 半導体領域 1 3 が p 型なので、第 2 主電極層 1 7 A はアノード電極層である。図 1 0 では、第 2 半導体領域 1 2 は、カソード領域として機能し、第 3 半導体領域 1 3 は、アノード領域としてそれぞれ

機能する。そして、図 1 0 の構造では、第 1 主電極層 1 6 A と第 2 主電極層 1 7 A との間に流れる主電流は、抵抗の低い第 1 半導体領域 1 4 をその通路とする。

【 0 0 4 7 】

即ち、変形例 1 に係る半導体ダイオード 1 0 では、シリコン基板 1 1 の両方の主面側に形成される第 1 主電極層 1 6 A 及び第 2 主電極層 1 7 A が、それぞれ n 型の第 2 半導体領域 1 2、p 型の第 3 半導体領域 1 3 の表面に形成された凹部 1 2 A、1 3 A を埋め込むように形成されている。このように n 型の第 2 半導体領域 1 2 及び p 型の第 3 半導体領域 1 3 に凹部 1 2 A、1 3 A を形成することで、それぞれの半導体領域の深さの適切化を図ると共に、第 1 主電極層 1 6 A 及び第 2 主電極層 1 7 A との接触面積を大きくすることが可能となる。

【 0 0 4 8 】

このような凹部 1 2 A、1 3 A は、周知のウェットエッチングやドライエッチングなどの手法を用いて簡単に形成することが出来る。

【 0 0 4 9 】

(半導体装置の変形例 2)

図 1 1 は、半導体ダイオード 1 0 に形成される電極層の変形例 2 を示す断面図である。なお、図 1 1 に示す変形例 2 に係る半導体ダイオード 1 0 において、図 1 に示した半導体ダイオード 1 0 と同一機能を果たす部分には、同一の符号を付して説明を省略する。

【 0 0 5 0 】

変形例 2 に係る半導体ダイオード 1 0 では、シリコン基板の他方の主面 1 1 B に形成された n 型の第 2 半導体領域 1 2 に n 型の第 1 半導体領域 1 4 に貫通する開口部 1 2 B を形成し、この開口部 1 2 B を含む全面に金属薄膜を堆積させて電極層 1 6 B を形成している。電極層 1 6 B は、タングステン (W)、チタン (Ti)、モリブデン (Mo) 等の高融点金属、若しくはこれらのシリサイド ( $WSi_2$ ,  $TiSi_2$ ,  $MoSi_2$ ) 等をスパッタリング法又は CVD 法等で形成すれば良い。或いはこれらのシリサイドと不純物を添加した多結晶シリコンとの複合膜やポリサイド膜で構成しても良い。このような電極層 1 6 B を形成することにより、高不純物密度で n 型の第 1 半導体領域 1 4 へ直接電極層 1 6 B を接続す

ることが出来るという利点がある。

【0051】

図11では、第1主電極層16Bと第2主電極層17とで、半導体素子の主電流の通路となる動作領域が定義される。そして、第2半導体領域12がn型なので、第1主電極層16Bはカソード電極層であり、第3半導体領域13がp型なので、第2主電極層17はアノード電極層である。変形例2では、図11に示す第1主電極層16Bが直接第1半導体領域にオーミック接触しているので、第2半導体領域12は、実質的にはカソード領域として機能せず、第1半導体領域14が実質的なカソード領域となる。一方、第3半導体領域13は、図1に示した構造と同様なアノード領域として機能する。そして、図11の構造では、第1主電極層16Bと第2主電極層17との間に流れる主電流は、抵抗の低い第1半導体領域14をその通路とする。

【0052】

変形例2に係る半導体ダイオード10における他の構成やそれに伴う作用・効果等は、図1に示した実施の形態と同様である。

【0053】

(その他の実施の形態)

以上、本発明の最良の実施の形態について説明したが、上記の実施の形態の開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0054】

例えば、上記の実施の形態の説明では、半導体ダイオード10として定電圧ダイオードに適することを述べたが、定電圧ダイオードよりも高耐圧の電力用半導体装置に本発明を適用することも勿論可能である。

【0055】

更に、上記の実施の形態の説明ではn型のシリコン基板11を用いて半導体ダイオード10を作成したが、p型のシリコン基板11を用いて作成することも勿論可能である。



【 0 0 5 6 】

更に、第 1 導電型を n 型、第 2 導電型を p 型として説明したが、第 1 導電型を p 型、第 2 導電型を n 型としてもかまわない。

【 0 0 5 7 】

又、上記の実施の形態の説明では n 型の第 1 半導体領域 1 4 を、シリコン基板 1 1 の一方の主面側から選択拡散により導入したが、シリコン基板 1 1 の他方の主面側から導入することも可能である。

【 0 0 5 8 】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 0 0 5 9 】

【発明の効果】

以上の説明から明らかなように、本発明によれば、p n 接合が露呈する半導体装置側面で局所的な降伏が発生するのを防止して、安定した所望の降伏電圧を有する半導体装置を提供することが出来る。

【 0 0 6 0 】

又、本発明によれば、使用する半導体ウェハの比抵抗  $\rho$  の範囲を広げることが出来、半導体ウェハにかかるコストを低減することが出来る。

【 0 0 6 1 】

更に、本発明によれば、半導体装置（チップ）表面処理を簡略化又は省略することが出来るため、製造工程を簡略化することが出来る。

【 0 0 6 2 】

又、本発明によれば、半導体装置の側面が半導体基板に対して略直角となるため、製品組付工程において、コレット等の治具へのチップ装着性、並びに取扱性を良好にする効果がある。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係る半導体装置を示す断面図である。

【図 2】

本発明の実施の形態に係る半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3】

本発明の実施の形態に係る半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】

本発明の実施の形態に係る半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】

本発明の実施の形態に係る半導体装置の製造方法を示す工程断面図（その 4）である。

【図 6】

本発明の実施の形態に係る半導体装置の製造方法を示す工程断面図（その 5）である。

【図 7】

本発明の実施の形態に係る半導体装置の製造方法を示す工程断面図（その 6）である。

【図 8】

本発明の実施の形態に係る半導体装置の製造方法を示す工程断面図（その 7）である。

【図 9】

本発明の実施の形態に係る半導体装置の製造方法を示す工程断面図（その 8）である。

【図 1 0】

本発明の実施の形態の変形例 1 に係る半導体装置を示す断面図である。

【図 1 1】

本発明の実施の形態の変形例 2 に係る半導体装置を示す断面図である。

【図 1 2】

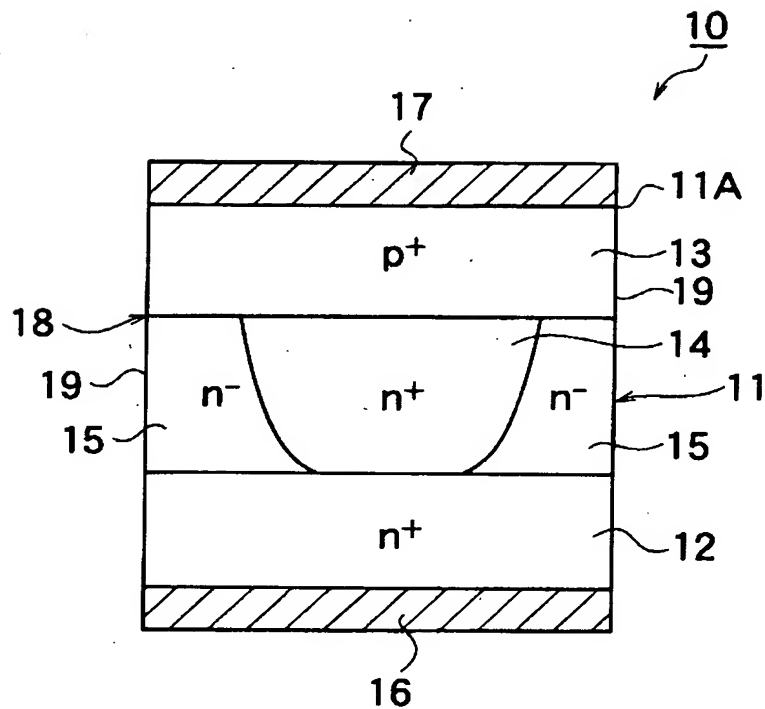
従来の半導体装置を示す断面図である。

【符号の説明】

- 1 0 半導体ダイオード（半導体装置）
- 1 1 シリコン基板（半導体基板）
- 1 2 第 2 半導体領域
- 1 3 第 3 半導体領域
- 1 4 第 1 半導体領域
- 1 5 第 4 半導体領域
- 1 6、1 6 A、1 6 B、1 7、1 7 A 電極層
- 1 8 p n 接合面
- 1 9 チップ側面
- 2 4 合成樹脂シート
- 2 5 ダイシングライン

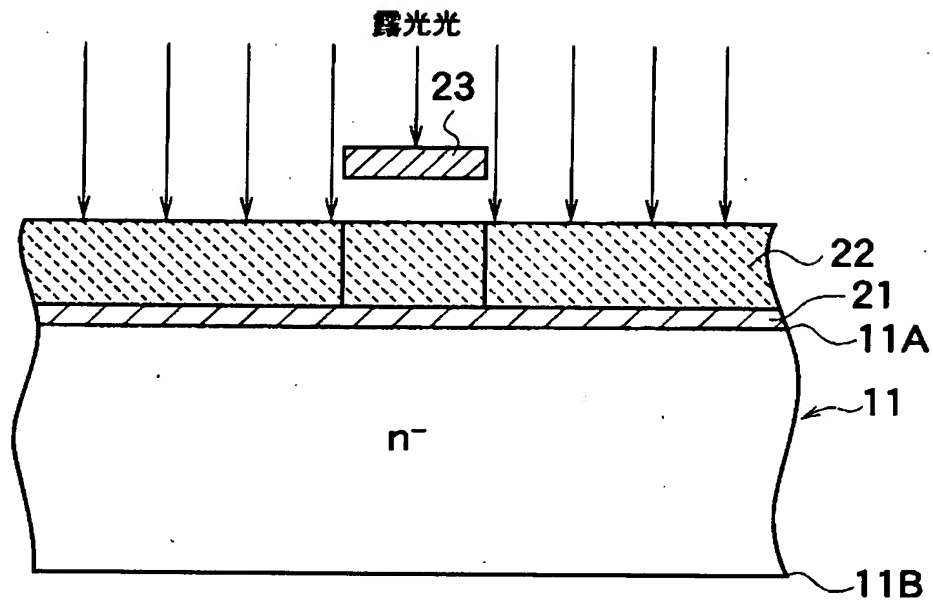
【書類名】 図面

【図1】



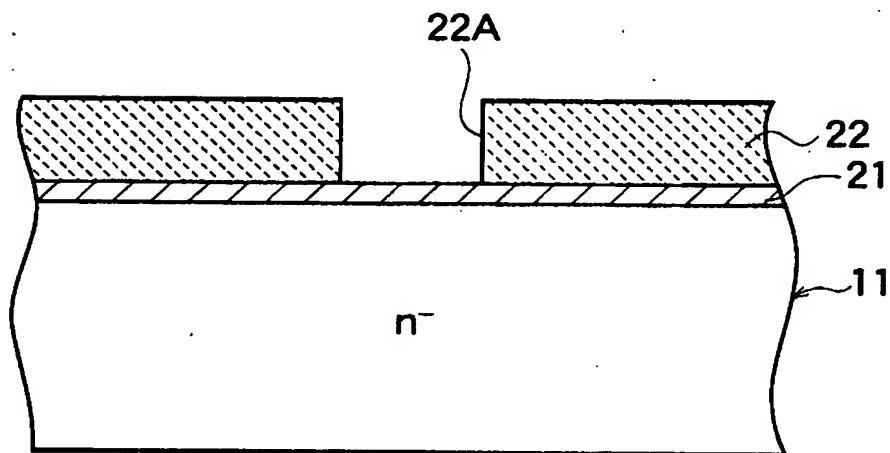
- 10: 半導体ダイオード
- 11: シリコン基板(半導体基板)
- 12: 第2半導体領域
- 13: 第3半導体領域
- 14: 第1半導体領域
- 15: 第4半導体領域
- 16: 第1主電極層
- 17: 第2主電極層
- 18: pn接合面
- 19: チップ側面

【図 2】



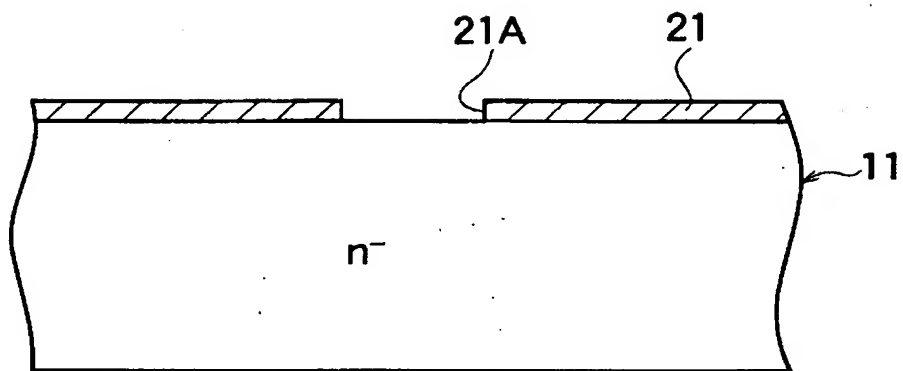
11 : シリコン基板(半導体基板)  
 11A : 他方の主面  
 11B : 一方の主面

【図 3】



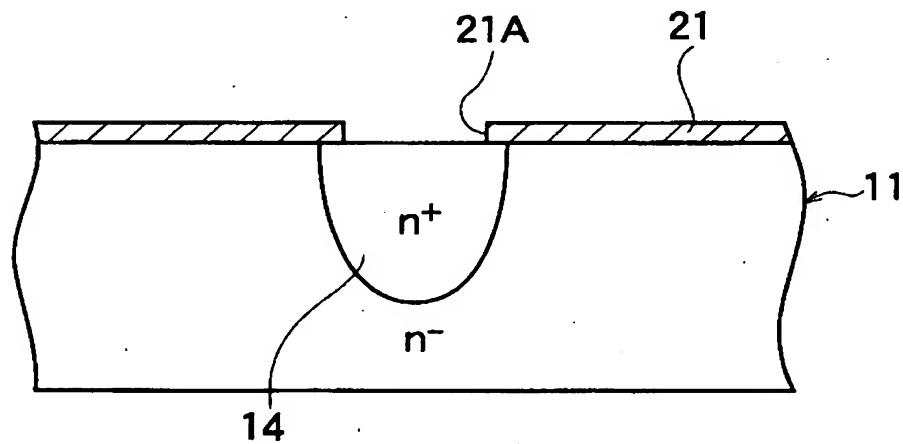
11 : シリコン基板(半導体基板)

【図 4】



11 : シリコン基板(半導体基板)

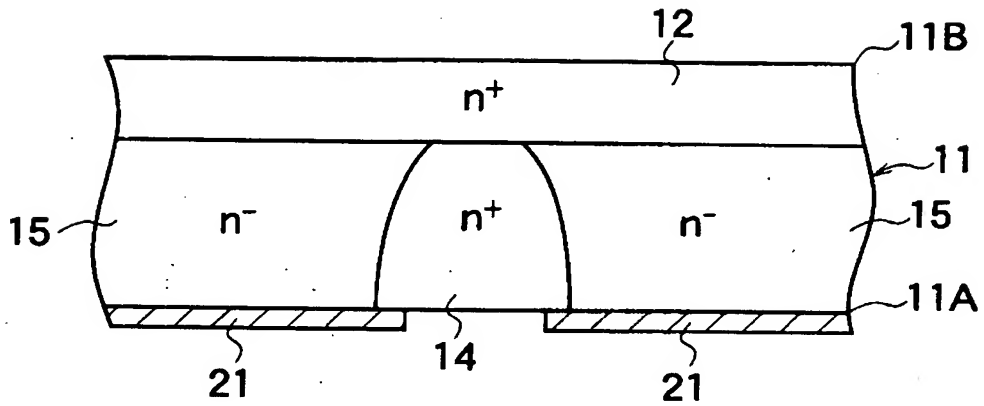
【図 5】



11 : シリコン基板(半導体基板)

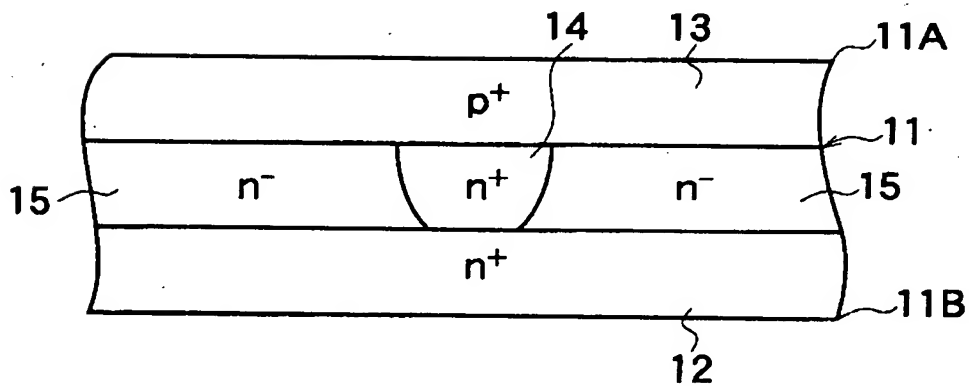
14 : 第1半導体領域

【図6】



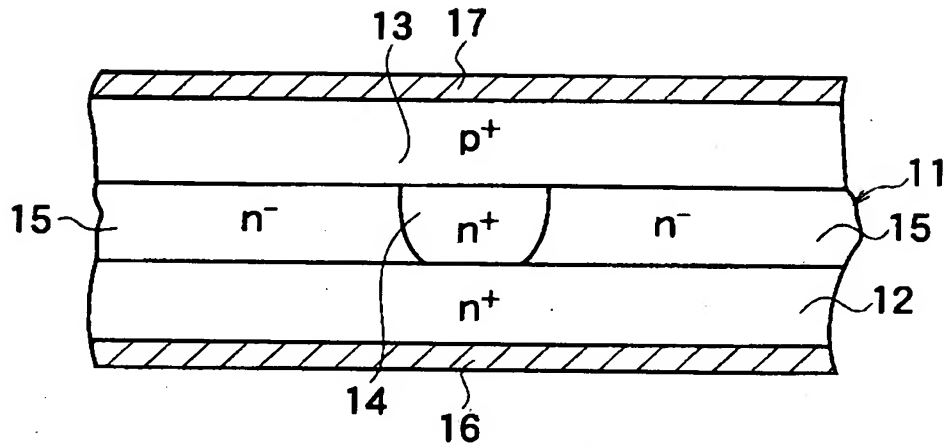
- 11: シリコン基板(半導体基板)  
 12: 第2半導体領域  
 14: 第1半導体領域  
 15: 第4半導体領域

【図7】



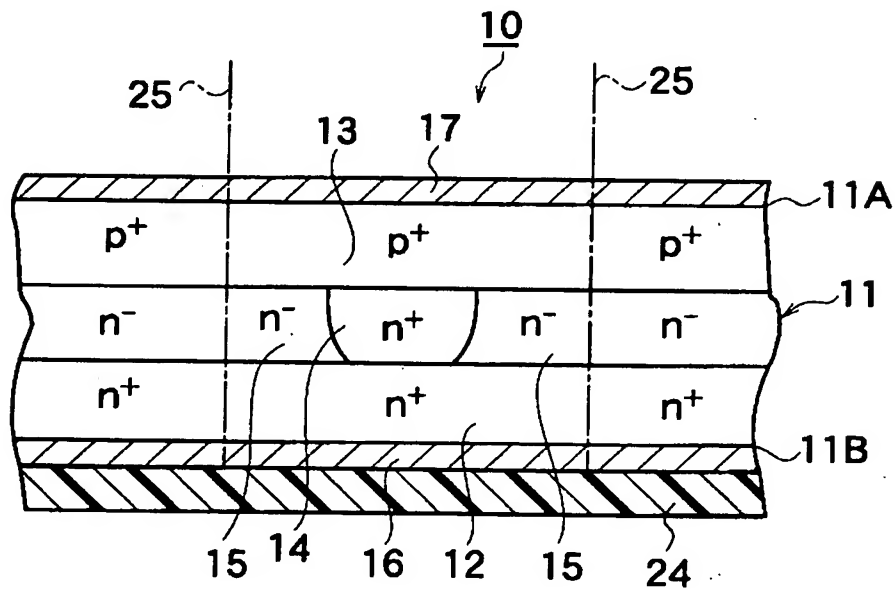
- 11: シリコン基板(半導体基板)  
 12: 第2半導体領域  
 13: 第3半導体領域  
 14: 第1半導体領域  
 15: 第4半導体領域

【図8】



- |                   |             |
|-------------------|-------------|
| 11: シリコン基板(半導体基板) | 15: 第4半導体領域 |
| 12: 第2半導体領域       | 16: 第1主電極層  |
| 13: 第3半導体領域       | 17: 第2主電極層  |
| 14: 第1半導体領域       |             |

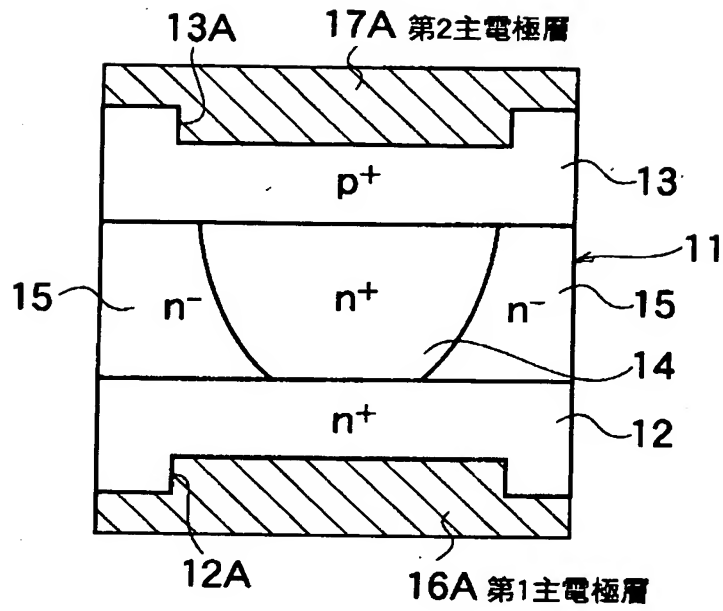
【図9】



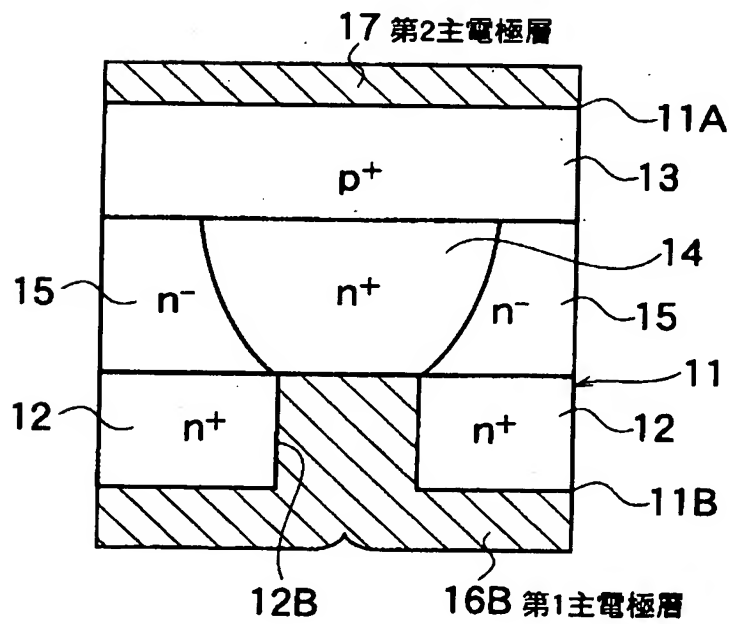
- |                   |              |
|-------------------|--------------|
| 11: シリコン基板(半導体基板) | 16: 第1主電極層   |
| 12: 第2半導体領域       | 17: 第2主電極層   |
| 13: 第3半導体領域       | 24: 合成樹脂シート  |
| 14: 第1半導体領域       | 25: ダイシングライン |
| 15: 第4半導体領域       |              |



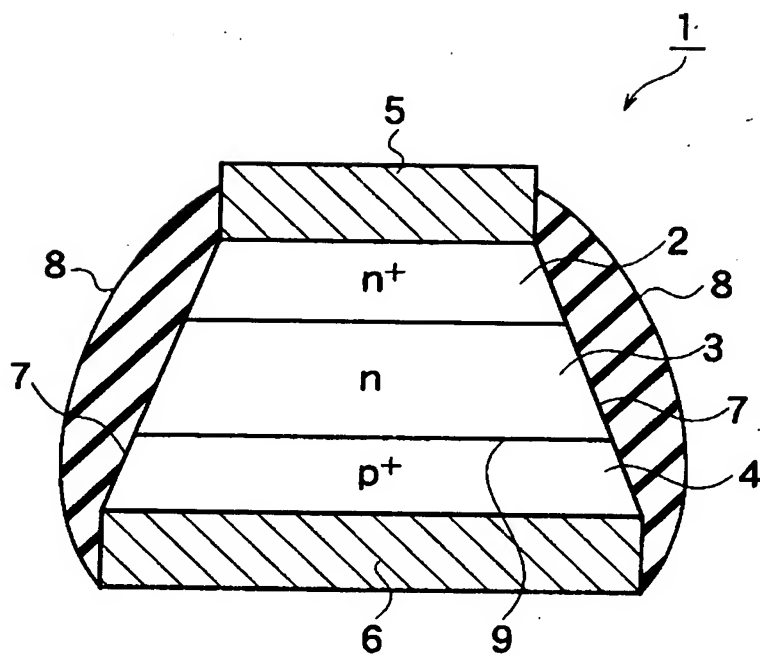
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 p n 接合が露呈する半導体装置側面で局所的な降伏が発生するのを防止して、安定した所望の降伏電圧を有する半導体装置を提供する。

【解決手段】 n 型のシリコン基板 1 1 の一方の主面側に形成された p 型の第 3 半導体領域 1 3 と、他方の主面側に形成された n 型の第 2 半導体領域 1 2 と、これら第 2 半導体領域 1 2 及び第 3 半導体 1 3 の間の領域の中央に形成された n 型の第 1 半導体領域 1 4 と、第 2 半導体領域 1 2 及び第 3 半導体領域 1 3 の間の領域における第 1 半導体領域 1 4 の周囲に形成された n 型の第 4 半導体領域 1 5 とを備え、第 1 半導体領域 1 4 の不純物密度を、第 1 半導体領域 1 4 を取り囲む第 4 半導体領域 1 5 の不純物密度よりも高く設定した。これにより、p n 接合が露呈するチップ側面で局所的な降伏が発生するのを防止して、安定した所望の降伏電圧を有する半導体ダイオード 1 0 を実現することが出来る。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000106276]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住 所 埼玉県新座市北野3丁目6番3号  
氏 名 サンケン電気株式会社